

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

**Defective images within this document are accurate representation of
The original documents submitted by the applicant.**

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)



PCT

特許協力条約に基づいて公開された国際出願

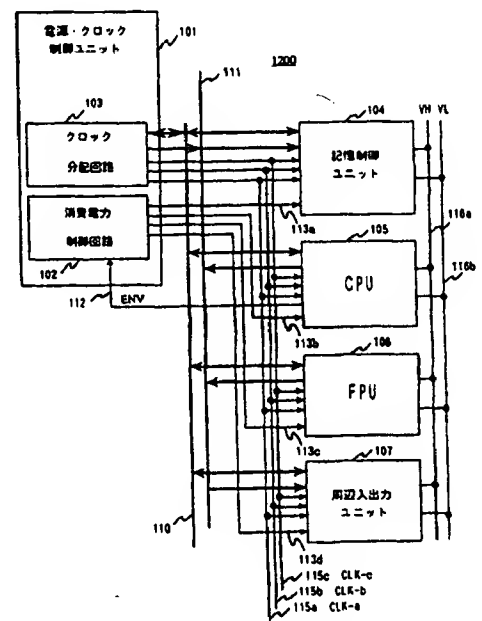
<p>(51) 国際特許分類6 G06F 1/32, 1/08</p>	<p>A1</p>	<p>(11) 国際公開番号 WO00/02118</p> <p>(43) 国際公開日 2000年1月13日(13.01.00)</p>
<p>(21) 国際出願番号 PCT/JP98/02985</p> <p>(22) 国際出願日 1998年7月2日(02.07.98)</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)</p> <p>(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてののみ) 前島英雄(MAEJIMA, Hideo)(JP/JP) 〒187-8588 東京都小平市上水本町五丁目20番1号 株式会社 日立製作所 半導体事業部内 Tokyo, (JP)</p> <p>(74) 代理人 弁理士 高橋明夫(TAKAHASHI, Akio) 〒103-0025 東京都中央区日本橋茅場町二丁目9番8号 友泉茅場町ビル 日東国際特許事務所 Tokyo, (JP)</p>		<p>(81) 指定国 CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)</p> <p>添付公開書類 国際調査報告書</p>

(54) Title: MICROPROCESSOR

(54) 発明の名称 マイクロプロセッサ

(57) Abstract

In order to decrease the power consumption of a microprocessor and at the same time to increase the processing speed, the functional units (104 to 107) are each supplied with a plurality of clocks and a plurality of power-source voltages, and are each provided inside thereof with a clock change-over circuit and a power source change-over circuit. When a program is executed mainly using a particular functional unit, e.g., an FPU (106), the speed of operation of this functional unit is higher than that during the ordinary operation. For this purpose, a power consumption control circuit (102) supplies to the FPU (106) a power source/clock change-over signal (113c) that instructs to raise the clocks used and also raise the power-source voltage used so that the raised clocks can be used by the FPU (106). In order to compensate for an increase in a power consumption caused by an increase in the operation speed of the FPU (106), the power consumption control circuit (102) supplies to other functional unit, for example a CPU (105), the power source/clock change-over signal (113c) that instructs to lower the clocks that are used.



- 101 ... Power source/clock control unit
- 102 ... Power consumption control circuit
- 103 ... Clock distributing circuit
- 104 ... Memory control unit
- 107 ... Peripheral input/output unit

マイクロプロセッサの消費電力の低減と処理速度の向上を両立させるために、各機能ユニット104～107には複数のクロックと複数の電源電圧が同時に供給され、それぞれの内部にクロック切り換え回路と電源切り替え回路を設ける。特定の機能ユニットたとえばFPU106を主に使用するプログラムを実行するときに、この機能ユニットの動作速度を定常動作時よりも増大するために、消費電力制御回路102が、使用するクロックを上げ、その高いクロックをFPU106が使用可能にするように、使用する電源電圧も上げるように指示する電源・クロック切り換え信号113cをFPU106に供給する。このFPU106における高速動作に伴う消費電力の増大を償うために、消費電力制御回路102は、他の機能ユニットたとえばCPU105に、使用するクロックを下げるように指示する電源・クロック切り換え信号113cをCPU105に供給する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AL	アルバニア	EE	エストニア	LC	セントルシア	SD	スーダン
AM	アルメニア	ES	スペイン	LI	リヒテンシュタイン	SE	スウェーデン
AT	オーストリア	FI	フィンランド	LK	スリ・ランカ	SG	シンガポール
AU	オーストラリア	FR	フランス	LR	リベリア	SI	スロヴェニア
AZ	アゼルバイジャン	GA	ガボン	LS	レソト	SK	スロヴァキア
BA	ボスニア・ヘルツェゴビナ	GB	英国	LT	リトアニア	SL	シエラ・レオネ
BB	バルバドス	GD	グレナダ	LU	ルクセンブルグ	SN	セネガル
BE	ベルギー	GE	グルジア	LV	ラトヴィア	SZ	スワジランド
BF	ブルキナ・ファソ	GH	ガーナ	MA	モロッコ	TD	チャード
BG	ブルガリア	GM	ガンビア	MC	モナコ	TG	トーゴ
BJ	ベナン	GN	ギニア	MD	モルドヴァ	TJ	タジキスタン
BR	ブラジル	GW	ギニア・ビサウ	MG	マダガスカル	TZ	タンザニア
BY	ベラルーシ	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア	TM	トルクメニスタン
CA	カナダ	HR	クロアチア		共和国	TR	トルコ
CF	中央アフリカ	HU	ハンガリー	ML	マリ	TT	トリニダード・トバゴ
CG	コンゴ	ID	インドネシア	MN	モンゴル	UA	ウクライナ
CH	スイス	IE	アイルランド	MR	モーリタニア	UG	ウガンダ
CI	コートジボアール	IL	イスラエル	MW	マラウイ	US	米国
CM	カメルーン	IN	インド	MX	メキシコ	UZ	ウズベキスタン
CN	中国	IS	アイスランド	NE	ニジェール	VN	ヴェトナム
CR	コスタ・リカ	IT	イタリア	NL	オランダ	YU	ユーゴスラビア
CU	キューバ	JP	日本	NO	ノールウェー	ZA	南アフリカ共和国
CY	キプロス	KE	ケニア	NZ	ニュージーランド	ZW	ジンバブエ
CZ	チェコ	KG	キルギスタン	PL	ポーランド		
DE	ドイツ	KP	北朝鮮	PT	ポルトガル		
DK	デンマーク	KR	韓国	RO	ルーマニア		

明 細 書

マイクロプロセッサ

技術分野

- 5 本発明は、消費電力を増大しないで特定の回路ブロックを高速に動作できるマイクロプロセッサに関する。

背景技術

10 従来からもマイクロプロセッサの消費電力を下げる技術がいろいろ提案されている。例えば特開平 8 - 2 7 2 5 7 9 号明細書「可変クロック発生装置」に見られるように、従来技術の多くは、マイクロプロセッサ内の複数のユニットの内、高速動作を必要としないユニットに供給するクロックの周波数を下げることにより消費電力を低減しようとしている。マイクロプロセッサの多くは CMOS 回路
15 で構成されているため、クロック周波数を低減することは CMOS 回路が動作する割合（活性化率）を下げることになる。したがって、その方法は消費電力の低減に効果的である。

20 近年、マルチメディア分野の進展が著しく、それに適したマイクロプロセッサが要求されている。このような用途のマイクロプロセッサには、グラフィックスや画像処理のような複雑な処理を高速に実行できることが要求され、近年マイクロプロセッサのマシークロックも増大する方向にある。このため消費電力が増大するので、マイクロプロセッサでは消費電力の低減が重要課題である。

25 とくに最近では、たとえば、デジタル TV やゲーム機用のマイクロプロセッサのように、一般家庭などに普及していくマイクロプロ

セッサが多くなっている。このような用途に使用されるマイクロプロセッサには、低コスト化のために安価なパッケージを使用できること、また、無風状態での使用に耐えることが要求期待される。これらの期待に応えるには、マイクロプロセッサの消費電力が低いことがとくに必要である。

このように、マイクロプロセッサには、とくに、マルチメディア分野に使用するマイクロプロセッサには、高性能かつ低消費電力のマイクロプロセッサへの市場ニーズが高まっている。しかし、従来技術は、マイクロプロセッサの消費電力を低減できるが、その消費電力の低減と性能向上を同時に満たすことを考慮していない。

本発明の目的は、上記の問題を解決し、消費電力を増大しないで性能のを向上できるマイクロプロセッサを提供することである。

発明の開示

本発明では、特定の回路ブロックの動作速度をより高速なものに変更できるように、マイクロプロセッサに含まれる複数の回路ブロックの各々に、値が異なる複数の電源電圧を切り換えて供給し、周波数が異なる複数のクロックを切り換えて供給する。以下では周波数が高いクロックを高速なクロックと呼ぶことがある。

マイクロプロセッサの多くはCMOS回路により構成される。一般にCMOS回路等の論理回路の動作可能な最大周波数は、その回路に供給される電源電圧にほぼ比例して大きくなる。したがって、CMOS回路をより高速のクロックで駆動するためには、より高い電源電圧を供給する必要がある。このために本発明では複数の電源電圧を使用する。上記複数のクロックの内の最大周波数を有する最高速クロックは、上記複数の電源電圧の内の最大電源電圧が供給さ

れた回路ブロックで使用可能な周波数を有し、上記最高速クロックより低速のいずれかのクロックは、上記最大電源電圧より低いいずれかの電源電圧が供給された回路ブロックでも使用可能な周波数を有するように、上記複数のクロックの周波数および上記複数の電源電圧の値が選ばれる。上記最大の電源電圧が供給される回路ブロックは、その電源電圧が供給された状態で正常に動作可能なように、その電源電圧に対する耐圧を有する回路素子から構成される。

本発明では、マイクロプロセッサの高速化を実現するだけでなく、消費電力も低減する。一般に、CMOS回路等の論理回路の消費電力は、その回路の動作周波数に比例し、そこに供給される電源電圧の自乗に比例する。したがって、本発明では、上記最大電源電圧と最高速クロックを同時に供給する回路ブロックの数を制限している。

より具体的には、本発明では、

各回路ブロックに値が異なる複数の電源電圧を切り換えて供給するための電源供給回路と、

各回路ブロックに周波数が異なる複数のクロックを切り換えて供給するためのクロック供給回路と、

上記電源供給回路と上記クロック供給回路に、各回路ブロックに供給するクロックの切り換えとその回路ブロックに供給する電源電圧の切り替えを指示する制御回路とが設けられる。

上記制御回路は、いずれかの回路ブロックに上記最高速クロックと上記最大電源電圧を供給したときには、少なくとも一つの他の回路ブロックには、上記最高速クロックより低速のいずれかのクロックと上記最大電源電圧より低い電源電圧を供給する。

さらに具体的には、上記複数の回路ブロックの内、少なくとも一つの回路ブロックに供給するクロックを、その回路ブロックにそれ

まで供給していたクロックより高速のクロックへの切り替えるときには、他の少なくとも一つの回路ブロックに供給するクロックを、その回路ブロックにそれまで供給していたクロックよりも低速のクロックへ切り替えられる。

- 5 こうして上記一つの回路ブロックの動作速度を増大したときに生じる消費電力の増大を、上記他の回路ブロックの消費電力の減少により償い、マイクロプロセッサ全体としての消費電力が所定の限界消費電力以下に抑える。

10 このような、ある回路ブロックへ供給するクロックの高速化と同時に他の回路ブロックに供給するクロックの低速化を併用することは、いろいろの態様で利用できる。

15 たとえば、ある回路ブロックを定常動作状態よりも高速に動作させることができる。その回路ブロックに定常動作状態で供給されるクロックより高速のクロックを供給すればよい。必要であれば、その回路ブロックに供給する電源電圧も増大する。たとえば、そのより高速なクロックが上記最高速クロックであるときには、その回路ブロックに上記最高の電源電圧を供給する。こうしてその回路ブロックの動作速度を増大する。このときに、いずれかの他の回路ブロックに供給するクロックを、定常動作状態で当該他の回路ブロック
20 に供給されるクロックより低速なクロックに変更する。

あるいは、上記最高速クロックより低速のクロックで駆動されているいずれかの回路ブロックを上記最高速クロックで駆動することができる。このとき、他のいずれかの回路ブロックのクロックをより低速なものに変更する。たとえば、それまで上記最高速クロック
25 が供給されていた他の回路ブロックがある場合には、当該回路ブロックに供給するクロックをより低速のクロックに変更する。

図面の簡単な説明

図 1 は、本発明の一実施の形態によるマイクロプロセッサの概略ブロック図である。

- 5 図 2 は、図 1 の装置で本発明を好適に実施するためのクロック分配回路の概略ブロック図である。

図 3 は、図 1 の装置で本発明を好適に実施するための中央処理装置の概略ブロック図である。

- 10 図 4 は、図 1 の装置で本発明を好適に実施するための消費電力制御回路の概略ブロック図である。

図 5 は、図 5 の装置に含まれた電力制御マップメモリの内容を示した図であるである。

図 6 は、図 1 のマイクロプロセッサでの消費電力と処理速度の変化を例示する図である。

- 15 図 7 は、図 1 の装置で本発明を好適に実施するための浮動小数点演算ユニットの構成を示す図である。

図 8 は、本発明の一実施の形態におけるクロック切り換え回路の概略ブロック図である。

- 20 図 9 は、本発明の一実施の形態における電源切り換え回路の概略ブロック図である。

図 10 は、本発明の一実施の形態での電源供給手段の概略ブロック図である。

図 11 は、本発明の一実施の形態で利用できる他の電源供給手段の構成を示した図である。

- 25 図 12 は、本発明の他の実施の形態での消費電力制御回路の構成を示した図である。

発明を実施するための最良の形態

以下、本発明に係るマイクロプロセッサを図面に示した実施の形態を参照してさらに詳細に説明する。なお、以下においては、同じ
5 参照番号は同じものもしくは類似のものを表わすものとする。また、第2の実施の形態以降においては、第1の実施の形態との相違点を主に説明するに止める。

< 発明の実施の形態 1 >

図1に示すように、マイクロプロセッサ1200は、単一の大規模集積回路（LSI）上に構成され、記憶制御ユニット104、中央処理装置（CPU）105、浮動小数点演算ユニット（FPU）106、周辺入出力ユニット107等の複数の機能ユニットと電源・クロック制御ユニット101を有する。これらのユニットは、それぞれ一つの回路ブロックにより構成されているが、実際には、
10 いずれかの機能ユニットが複数の回路ブロックにより構成されてもよく、また、複数の機能ユニットに属する回路が同じ一つの回路ブロックに含まれてもよい。上記ユニット101、104～107は、データバス110、アドレスバス111および図示しない制御バスでもって互いに接続されている。なお、このマイクロプロセッサ1
15 200には、RAM（ランダム・アクセス・メモリ）、ROM（リード・オンリー・メモリ）等の他のメモリユニットも上記複数のバスに接続されているが、ここでは簡単化のためにこれらのメモリユニットは図示せず、その動作も説明しない。これらのメモリユニットは、複雑なタイミングで動作するので、それらへ供給する電源電
20 圧とクロックは変化させない。他の機能ユニットが設けられていてもよいことは言うまでもない。

記憶制御ユニット 104 は、図示しない R A M に対するキャッシュメモリ（図示せず）を内蔵し、R A M に対するアクセス要求をそのキャッシュメモリに対して実行し、アクセス対象のデータがそのキャッシュメモリにないときには、R A M に対してアクセスする回路（図示せず）を含む。さらに、記憶制御ユニット 104 には、バス 110, 111 に対するバスアービタ（図示せず）も設けられる。なお、後に説明するように、バス 110, 111 を使用する異なる機能ユニットが異なるクロックで駆動される。しかし、それぞれのユニットがそれらのバスへのデータの送出タイミングあるいはそれらのバスからのデータの受信タイミングを決めるので、これらのバスの利用に関してはとくに問題は生じない。

周辺入出力ユニット 107 は、図示しない外部の周辺装置と C P U 105 との間でデータの転送を行う。

本実施の形態では、これらの機能ユニット 104 ~ 107 に、動作クロックとして複数の、ここでは 3 つの、周波数が異なるクロック C L K - a、C L K - b、C L K - c がクロック線 115 a ~ 115 c を介して同時に供給される。ここではクロック C L K - a は最も周波数が高い最高速のクロックであり、クロック C L K - b はそれより低い周波数を有する中間速のクロックであり、クロック C L K - c は最も低い周波数を有する低速のクロックである。電源・クロック制御ユニット 101 には、これらの 3 つのクロックを発生するクロック分配回路 103 が設けられている。さらに、全機能ユニットには、電源電圧として、複数の、ここでは 2 つの値が異なる電源電圧 V H、V L が電源配線 116 a、116 b を介して同時に供給される。

各機能ユニットには、後に説明するように、クロック切り換え回

路（４０２（図７））と電源切り換え回路（４０１（図７））と同じ回路が設けられ、それぞれは、その機能ユニットに供給された３つのクロックと２つの電源電圧から、その機能ユニットが使用する一つのクロックおよび一つの電源電圧をそれぞれ選択する。本実施
5 の形態では上記クロック分配回路１０３と各機能ユニットに設けられたクロック切り換え回路が本発明で使用するクロック供給回路を実現する。また、各機能ユニットに設けられた電源切り換え回路が本発明で使用するクロック供給回路を実現する。

CPU１０５には、後に詳しく説明するように、動作環境制御回路
10 路５０３（図３）が設けられている。この回路はCPU１０５内で動作環境変更命令が実行されたときに、動作環境制御信号ENV（１１２）を生成し、電源・クロック制御ユニット１０１に供給する。この信号ENV（１１２）は、基本的には、各機能ユニットが使用するクロックと電源電圧とを各機能ユニット毎に選択可能にする
15 情報を含んでいる。

電源・クロック制御ユニット１０１には消費電力制御回路１０２がさらに設けられている。この回路１０２は、動作環境制御信号ENV（１１２）に応答して、４つの機能ユニット１０４～１０７のそれぞれにおいて使用するクロックと電源電圧の選択を制御する４
20 つの電源・クロック切り換え信号１１３aから１１３dを生成し、それぞれの機能ユニットのクロック切り換え回路（４０２（図７））と電源切り換え回路（４０１（図７））に供給する。こうして、動作環境制御回路５０３（図３）と消費電力制御回路１０２が、各機能ユニットのクロック切り換え回路と電源切り換え回路を制御
25 して、その機能ユニットが使用する電源電圧とクロックを、各機能ユニットごとに変更する制御回路として機能する。

本実施の形態では、定常動作状態では、全ての機能ユニットは、中間速のクロックCLK-bを使用すると仮定している。したがって、このクロックCLK-bは、定常動作状態で使用するクロックで、このクロックCLK-bはこのマイクロプロセッサの正規あるいは基準のクロックであるとも言える。このクロックにより、定常状態での動作速度あるいは正規の動作速度が実現される。最高速のクロックCLK-aは、クロックCLK-bにより実現可能な動作速度よりも高速な動作速度を実現するために使用される。本発明は、消費電力の低減だけでなく、動作の高速化も図る。クロックCLK-aはこの高速化のために使用される。低速のクロックCLK-cは、電力消費を低減することを目的として低速動作を実行させるのに使用される。

なお、機能ユニットの構造によっては、各クロックたとえばクロックCLK-aと周波数が同じで位相が異なる他のクロックも必要な場合もある。本実施の形態でもそのような他のクロックを使用可能であるが、そのような他のクロックは、クロックCLK-aと同じと見なし、別に図示あるいは説明しない。

低い電源電圧VLは、定常動作時に使用する電源電圧である。この電源電圧はこのマイクロプロセッサの正規あるいは基準の電源電圧であるとも言える。この電源電圧は上記クロックCLK-bまたはクロックCLK-cを使用する機能ユニットで使用される。高い電源電圧VHは、電源電圧VLで実現できる定常動作より高速動作を実現するために使用される。

一般にCMOS回路の動作可能な最大周波数は、その回路に供給される電源電圧にほぼ比例して大きくなる。したがって、CMOS回路により高速の動作をさせるには、より高い電源電圧を供給する

必要がある。このような高い電源電圧が供給される回路ブロックは、その電源電圧が供給された状態で正常に動作可能なように、その電源電圧に対する耐圧を有する回路素子から構成される。

本実施の形態でも、マイクロプロセッサは、CMOS回路により
5 構成されていると仮定する。高い電源電圧 V_H は、各機能ユニット内の回路を最高速クロック $CLK-a$ に応答可能にする値を有するように定められる。この電源電圧 V_H は、ある機能ユニットが最高速クロック $CLK-a$ に応答して高速動作をするときにその機能ユニットにより使用される。電源電圧 V_L は、各機能ユニット内の回
10 路をクロック $CLK-b$ に応答可能にするに必要な値を有する電源電圧である。この電源電圧 V_L は、ある機能ユニットがクロック $CLK-b$ に
応答して定常動作をするときにその機能ユニットにより使用される。この実施の形態では、この電源電圧 V_L は、その機能
ユニットがクロック $CLK-c$ に
15 応答して低速動作をするときにも使用される。

このように本発明では、回路ブロック用に用意された複数のクロックの内、最高速のクロックをいずれかの回路ブロックに供給する
ときに、回路ブロック用に用意された複数の電源電圧の内の最大の
電源電圧をその回路ブロックに供給する。逆に、いずれかの回路ブ
20 ロックに上記複数の電源電圧の内、上記最大電源電圧より低い電源電圧を供給するときには、上記複数のクロックの内、上記最高速の
クロックより低速のクロックを供給する。

本発明では、マイクロプロセッサの高速化を実現するだけでなく、消費電力も低減する。したがって、各回路ブロックが使用するクロ
25 ックと電源電圧を選択するときに、これらの二つの要件を満たすように、この選択動作が制御される。一般に、CMOS回路の消費電

力は、その回路の動作周波数に比例し、そこに供給される電源電圧の自乗に比例する。したがって、全ての回路ブロックに上記最高速のクロック $CLK-a$ と最大電圧 VH を供給した場合、マイクロプロセッサの消費電力は、定常動作の場合（今の例では、全ての回路
5 ブロックに中間のクロック $CLK-b$ と低い電源電圧 VL を供給した場合）よりはるかに増大する。

しかし、実際にはマイクロプロセッサが実行するプログラムの処理速度を増大するには、全ての回路ブロックを同時に高速化させる必要がない場合がある。したがって、本発明では、全ての回路ブ
10 ックを同時に高速に動作させるのではなく、プログラムの処理の高速化に寄与するいずれか一つまたは複数の回路ブロックを選択的に高速動作させる。そのために、それらの回路ブロックが使用するクロックと電源電圧を増大する。図1の場合には、上記最高速のクロック $CLK-a$ と高い電源電圧 VH を使用させる。

15 このような動作だけでは、定常動作状態よりは、マイクロプロセッサの消費電力は増大する。したがって、本発明では、いずれかの回路ブロックの動作クロックを増大するときには、他の回路ブロックの動作クロックを下げるようにする。これによりマイクロプロセッサ全体の消費電力を、予めマイクロプロセッサに対して定められ
20 た限界消費電力を超えないようにする。図1の場合には、具体的には、他の機能ユニットが使用するクロックを定常動作時のクロック $CLK-b$ から省電力用のクロック $CLK-c$ に変更する。こうして、クロック $CLK-a$ を使用した機能ユニットの消費電力の増大を、クロック $CLK-c$ を使用した機能ユニットの消費電力の減少
25 により償う。

このように、本発明では、複数の回路ブロックのいずれか一つに

与えるクロックあるいはクロックと電源電圧とを、より高速なクロックあるいはそのクロックとそのクロックのためのより高い電源電圧に変えるときには、上記複数の回路ブロックの内の少なくとも一つの他の回路ブロックに供給しているクロックをより低速のクロック

5 に変わる。

 なお、従来技術を適用したマイクロプロセッサの場合には、いずれかの機能ユニットに供給するクロックの周波数を低下させることにより、その機能ユニットでの消費電力が変化する、特定の機能ユニットの性能は向上しない。すなわち、従来技術では、定常動作状態では全ての機能ユニットを一定のクロックで動作させ、その後い
10 ずれかの機能ユニット、例えば、CPUとFPUの両方の処理性能を低下させてもよい状態になった場合には、これらの二つの機能ユニットに供給するクロックの周波数を定常動作時より低減する。この結果、マイクロプロセッサの電力は大幅に低下する。また、CPU
15 Uのみ処理性能を低下させてもよい場合には、CPUのクロックの周波数のみを低下させる。この場合でも定常動作時より消費電力が低下する。この従来技術にはある機能ユニットの消費電力を低減するために、その機能ユニットの性能を低下しているだけである。定常動作時より高い動作速度でいずれかの機能ユニットを動作させる
20 という技術はない。したがって、定常動作時に使用するクロックより周波数が高いクロックを使用するあるいはそれに合わせて定常動作時に使用する電源電圧より高い電源電圧を使用するという技術もない。

 以下、本実施の形態をさらに詳細に説明する。図2に示すように、
25 電源・クロック制御ユニット101内のクロック分配回路103は、発振器800、分周回路802からなる一般的な構成である。発振

器 8 0 0 から出力される元のクロック 8 0 1 を分周回路 8 0 2 に入
力し、これを必要に応じて分周することでクロック C L K - a ~ ク
ロック C L K - c を作り出す。

図 3 に示すように、C P U 1 0 5 には、C P U 本来の処理を実行
5 するための命令処理回路 5 0 0 の他に、クロック切り換え回路 5 0
2 と電源切り換え回路 5 0 1 とが新たに設けられている。命令処理
回路 5 0 0 内に動作環境制御回路 5 0 3 とラッチ 5 0 4 とが新たに
設けられている。

本実施の形態では実行中のプログラム内に動作環境を変更するた
10 めの命令が新たに設けられる。この命令は、特定のオペレーション
コードとオペランドを有し、オペランドではこのマイクロプロセッ
サで実現する複数の動作環境を指定する。各動作環境は、各機能ユ
ニットに与えるクロックと電源電圧の異なる組み合わせの一つを表
す。本実施の形態では後述するように 4 つの動作環境を用いる。し
15 たがって、このオペランドは 2 ビットからなる。動作環境制御回路
5 0 3 は、この命令を解読すると、その 2 ビットのオペランドをラ
ッチ 5 0 4 に出力する。ラッチ 5 0 4 に保持された 2 ビットのオペ
ランドは、動作環境制御信号 E N V (1 1 2) として電源・クロッ
ク制御ユニット 1 0 1 内の消費電力制御回路 1 0 2 に送出され、こ
20 の消費電力制御回路 1 0 2 は、この信号 1 1 2 に応答してマイクロ
プロセッサの動作環境を変更する。その動作は後述する。

なお、命令処理回路 5 0 0 には、以下に説明するように種々の命
令を実行するための種々の回路の他に整数演算回路および一群の内
部レジスタを含むが、これらの回路は簡単化のために図示していな
25 い。命令処理回路 5 0 0 は、実行すべき命令を図示しない R O M も
しくは R A M から読み出すためのメモリアクセス命令を記憶制御ユ

ニット 1 0 4 に、アドレスバス 1 1 1、図示しない制御バスを使用して送出し、記憶制御ユニット 1 0 4 内の図示しないキャッシュメモリあるいは図示しない R A M もしくは R O M からその命令が読み出されたときに、その命令を解読し、その命令の実行を制御する。

- 5 解読された命令が図示しない R O M または R A M に対するデータアクセス命令であるときには、メモリアクセス要求を記憶制御ユニット 1 0 4 にデータバス 1 1 0、アドレスバス 1 1 1、図示しない制御バスを使用して送る。解読された命令が整数演算命令であるときには、命令処理回路 5 0 0 内の整数演算回路（図示せず）によりその命令が要求する演算を実行させる。解読された命令が浮動小数点演算命令であるときは、その命令を F P U 1 0 6 に送り、このユニットによりその命令を実行させる。その命令が周辺入出力ユニット 1 0 7 を使用する命令であるときも同様にして、その命令を周辺入出力ユニット 1 0 7 に送る。

- 15 図 4 に示すように、電源・クロック制御ユニット 1 0 1 内の消費電力制御回路 1 0 2 は、電力制御マップメモリ 6 0 0 を有する。本メモリは、電源・クロック切り換え信号 1 1 3 a ~ 1 1 3 d を生成する情報を含む電力制御マップを記憶する回路であり、本実施の形態では、この回路は R O M で構成される。この R O M は、動作環境
- 20 制御信号 E N V (1 1 2) が採りうる複数の値をアドレスとする複数の記憶位置の各々に、それぞれの動作環境制御信号 E N V (1 1 2) の値に対応する一組の電源・クロック切り換え信号 1 1 3 a ~ 1 1 3 d を記憶する。電源・クロック切り換え信号 1 1 3 a ~ 1 1 3 d はそれぞれ記憶制御ユニット 1 0 4、C P U 1 0 5、F P U 1
- 25 0 6、周辺入出力ユニット 1 0 7 に供給される電源・クロック切り換え信号である。なお、電力制御マップメモリ 6 0 0 に代えて同じ

ような信号を生成できるゲート回路を使用してもよい。

本実施の形態ではたとえば動作環境制御信号ENV(112)を2ビット(d1、d0)とし、電源・クロック切り換え信号113a~113dの各々を3ビット(p、c1、c0)とする。図5に電力制御マップメモリ600の内容を示す。pビットは電源選択ビットで、pは電源電圧の選択を指示するためのビットで、p=0が通常電源電圧(VL)、p=1が高い電源電圧(VH)の選択を示す。また、(c1、c0)は、クロック選択ビットで、以下のように、使用するクロックの選択を指示する。

- 10 (c1、c0)=(0、0) 中間速クロックCLK-b
(c1、c0)=(0、1) 低速クロックCLK-c
(c1、c0)=(1、0) 最高速クロックCLK-a

なお(c1、c0)=(1、1)は使用されない。

本実施の形態では、次の4つの動作モードを使用する。

15 (A) 全機能ユニット：定常動作

ここでは図1のマイクロプロセッサの全機能ユニットは、定常動作状態では中間速のクロックCLK-bと低い電源電圧VLで駆動されると仮定する。このときには、(d1、d0)=(0、0)である。このモードでは図5から分かるように、電源・クロック切り換え信号113a~cはいずれも(0、0、0)となる。この動作モードは、マイクロプロセッサを電源オンしたときまたは、下記のモードの動作が終了し、このモードを使用することを指定する動作環境変更命令が実行されたときに使用される。

このときのマイクロプロセッサ全体の限界消費電力は、パッケージ、冷却条件などから決定され、マイクロプロセッサを構成する機能ユニットをどのように動作させるかに拘わらず、マイクロプロセ

25

ッサ全体の消費電力がこの限界消費電力を越えないように、マイクロプロセッサを設計する必要がある。以下では簡単化のために、供給するクロックと電源電圧を切り替える機能ユニット 104~107 における消費電力のみを議論する。これらのユニットにおける消費電力あるいはこれらのユニットに対する限界消費電力をあたかもマイクロプロセッサ全体の消費電力あるいはマイクロプロセッサ全体に対する限界消費電力として議論する。

このモードの時のマイクロプロセッサの消費電力 P は、図 6 の区間 A に示すように、図に点線で示す限界消費電力を越えないように定められている。たとえば、マイクロプロセッサの限界消費電力は 2.1 watt で、低い電源電圧 $V_L = 2.0$ v、中間速クロック $CLK-b$ は 200 MHz で、この定常動作時の消費電力はたとえば 2.0 watt であると仮定する。記憶制御ユニット 104、CPU 105、FPU 106、周辺入出力ユニット 107 が定常動作状態で消費する消費電力の割合をそれぞれ 0.15, 0.3, 0.3, 0.25 と仮定する。すなわち、定常動作状態では、これらの機能ユニットでの消費電力はそれぞれ 0.3, 0.6, 0.6, 0.5 watt である。

(B) FPU : 高速動作

ここでは FPU 105 と記憶制御ユニット 104 に最高速のクロック $CLK-a$ と高い電源電圧 V_H を供給し、これらの機能ユニットを高速動作させる。CPU 105 と周辺入出力ユニット 107 には低速のクロック $CLK-c$ と低い電源電圧 V_L を供給し、低速動作をさせる。

このときには、 $(d_1, d_0) = (0, 1)$ である。このモードでは図 5 から分かるように、記憶制御ユニット 104 と FPU 10

6 に対する電源・クロック切り換え信号 1 1 3 a、1 1 3 c がいずれも (1、1、0) となる。CPU 1 0 5 に対する電源・クロック切り換え信号 1 1 3 b と周辺入出カユニット 1 0 7 に対する電源・クロック切り換え信号 1 1 3 d は (0、0、1) となる。

- 5 このモードは、たとえば CPU 1 0 5 が実行するプログラム部分の命令の多くが、FPU 1 0 6 を使用する命令であるときに使用される。このモードでは、CPU 1 0 5 と周辺入出カユニット 1 0 7 が使用するクロックを低いクロックに変更した結果、これらの機能
- 10 ユニットの動作速度が遅くなるが、そのことがプログラムの処理速度に影響がなければ、この後者の機能ユニットの動作速度の低下は問題にならない。逆に、そのように動作速度の低下がプログラムの
- 15 処理速度に影響を実質的に与えないような機能ユニットを選ぶ必要があり、このような選択はプログラムによっては可能である。元々 FPU 1 0 6 の性能向上を行なう必要があるプログラム部分を実行
- 20 する場合、そのプログラム部分による CPU 1 0 5 の使用頻度は低く、したがって、CPU 1 0 5 の回路の活性化率は低い。したがって、CPU 1 0 5 の低速動作は、このこれらのマイクロプロセッサ全体の処理性能へ大きな影響を与えないと考えられる。

図 1 の場合、後に説明するように、いずれかの機能ユニットのクロックを変化させるときには、CPU 1 0 5 が実行するプログラムの中に、特定の命令を含ませ、CPU 1 0 5 がこの命令を解読したときに、上記クロックの変更が行われる。

このモードで、記憶制御ユニット 1 0 4 も高速動作させるのは、これらの命令をより高速に図示しない RAM または ROM もしくは

25 記憶制御ユニット 1 0 4 内の図示しないキャッシュメモリより高速に読み出し、さらにそれらの命令が使用するデータを RAM または

R O Mもしくは図示しないキャッシュメモリから高速に読み出すか
あるいはその命令の実行結果データをそれらのメモリに高速に書き
込むためである。

定常動作モードからこのモードに変更するときには、F P U 1 0
5 6のクロックの周波数と電源電圧が定常モードの時のそれらより増
大することになる。この結果生じるF P U 1 0 6の性能Sは、図6
の区間Bに示すように、最高の性能となる。一方、C P U 1 0 5と
周辺入出力ユニット1 0 7に供給するクロックの周波数が下げられ
る。このように、定常動作モードより、F P U 1 0 6を高速に動作
10 させる場合、F P U 1 0 6を高速動作させたことにより生じる消費
電力の増加を、C P U 1 0 5と周辺入出力ユニット1 0 7を低速動
作をさせることにより償っていると言える。

本実施の形態では、C P U 1 0 5と周辺入出力ユニット1 0 7が
使用する電源電圧は下げないで、C P U 1 0 5と周辺入出力ユニッ
15 ト1 0 7が使用するクロックを、動作環境変更前に使用していた通
常のクロックC L K - bから低速のクロック1 1 5 cに切り換える
ことで、C P U 1 0 5と周辺入出力ユニット1 0 7の低消費電力化
を達成する。これによりマイクロプロセッサ全体としての消費電力
が、限界電力を超えないようにする。

20 したがって、最高速クロックC L K - a、低速クロックC L K -
cの周波数は、クロックC L K - bに代えてクロックC L K - cを
使用する機能ユニットにおける消費電力の低下が、クロックC L K
- bに代えてクロックC L K - aを使用する機能ユニットでの消費
電力の増大を償うことが出来るように定める。

25 たとえば、最高速クロックC L K - aは2 5 0 MHz、低速クロッ
クC L K - cは5 0 MHz、高い電源電圧V Hは2 . 5 vと仮定する。

この動作モードでは、記憶制御ユニット 104 の消費電力は 0.585 watt、FPU 106 での消費電力は 1.758 watt、CPU 105 の消費電力は 0.15 watt、周辺入出力ユニット 107 の消費電力は 0.125 watt となり、これらの合計は、2.035 watt となる。したがって、この動作モードでも、図 6 の区間 B に示すように、マイクロプロセッサの消費電力は、上記定常動作時の消費電力 2.0 watt より少し増大するが、限界消費電力 2.1 watt より小さく抑えられる。

(C) CPU : 高速動作

10 ここでは CPU 105 と記憶制御ユニット 104 に最高速のクロック CLK-a と高い電源電圧 VH を供給し、これらの機能ユニットを高速動作させる。FPU 106 と周辺入出力ユニット 107 には低速のクロック CLK-c と低い電源電圧 VL を供給し、低速動作をさせる。

15 このときには、(d1, d0) = (1, 0) である。このモードでは図 5 から分かるように、記憶制御ユニット 104 と CPU 105 に対する電源・クロック切り換え信号 113a、113c がいずれも (1, 1, 0) となる。FPU 106 と周辺入出力ユニット 107 に対する電源・クロック切り換え信号 113c は (0, 0, 1) となる。

20 したがって、定常動作モードからこのモードに変更するときには、CPU 105 のクロックの周波数と電源電圧が定常モードの時のそれらより増大することになる。それに伴い FPU 106 と周辺入出力ユニット 107 のクロックの周波数が下げられるのは FPU を高速に動作させる前述の動作モードの場合と同じである。

したがって、本実施の形態は、ある機能ユニットを定常動作状態

- より高速に動作させるときに、他の機能ユニットに定常動作状態よりも低速な動作をさせる考えることができる。また、FPUを高速に動作させる前述の動作モードから、本動作モードに変更した場合には、CPU105のクロックの周波数が増大された。したがって、
- 5 本実施の形態は、このような場合には他の機能ユニットたとえばFPU106のクロックの周波数を下げたと考えることもできる。また、FPUを高速に動作させる前述の動作モードから、本動作モードに変更した場合には、CPU105に供給するクロックを最高速クロックに変化し、そこに供給される電源電圧が最大電源電圧に変化されたことになる。したがって、本実施の形態は、このような場合に、最高速のクロックと最大電源電圧をすでに供給されている他の機能ユニット、たとえばFPU106のクロックの周波数と電源電圧をより低速のクロックとより低い電源電圧に変化したと考えることもできる。
- 15 このモードは、たとえばCPU105が実行するプログラム部分の命令の多くが、CPU105内の図示しない整数演算回路を使用する命令であるときに使用される。CPU105を高速動作させたことにより生じる消費電力の増加を、FPU106を低速動作をさせることにより償っている。このモードは、このモードを指定する
- 20 動作環境変更命令が実行されたときに使用される。このモードで、記憶制御ユニット104も高速動作させる理由は、モードBの場合と同じである。

(D) 全機能ユニット：省電力動作

- ここでは、全ての機能ユニットを低速クロックCLK-cと低い
- 25 電源電圧VLで動作させる。このときには、 $(d1, d0) = (1, 1)$ である。このモードでは図5から分かるように、電源・クロック

ク切り換え信号 1 1 3 a ~ c はいずれも (0 、 0 、 1) となる。このモードは、たとえば実行中のプログラムが CPU 1 0 5 、 F P U 1 0 6 での処理をそれほど必要としないとき、たとえば、外部からのデータの入力待ちのときに使用される。このモードも、このモードを指定する動作環境変更命令が実行されたときに使用される。なお、この省電力動作モードから、他の動作モードに動作モードが変更するときには、省電力モードの時より高速に動作させられる機能ユニットはあるが、いずれの機能ユニットの動作も低速になることはない。したがって、この時には本発明は適用されていない。これは、省電力動作モードは、消費電力が最小の動作モードであり、動作モードを他のいずれの動作モードに変更しても、いずれかの機能ユニットの消費電力を低減する必要がないからである。このような動作モードの変更には本発明を適用しなくてよいのは当然である。

機能ユニット 1 0 4 ~ 1 0 7 は、電源・クロック切り換え信号 1 1 3 a ~ 1 1 3 d に応答するために以下のように構成されている。

図 7 に示すように、F P U 1 0 6 には、浮動小数点演算を実行する浮動小数点演算回路 4 0 0 の他に、クロック切り換え回路 4 0 2 と電源切り換え回路 4 0 1 とが新たに設けられている。

クロック切り換え回路 4 0 2 は、消費電力制御回路 1 0 2 から供給される電源・クロック切り換え信号 1 1 3 c に応答して、クロック分配回路 1 0 3 から線 1 1 5 a ~ 1 1 5 c を介して供給される 3 つのクロック CLK - a ~ クロック CLK - c の内、このユニットが使用する 1 つのクロックを選択する。クロック切り換え回路 4 0 2 は、たとえば図 8 に示すように、3 つのクロック 1 1 5 a ~ 1 1 5 c の選択を行なうための AND ゲート 1 1 0 0 、 1 1 0 1 、 1 1 0 2 、 OR ゲート 1 1 0 4 及び NAND ゲート 1 1 0 3 から成る。

3ビットの電源・クロック切り換え信号113cの内の2ビット
 (c1、c0)がそれぞれ(0、0)、(0、1)、(1、0)で
 あるときに、中間即クロックCLK-b、低速クロックCLK-c、
 最高速クロックCLK-aを選択し、線405を介してFPU10
 5 6内の浮動小数点演算回路400に供給する。

電源切り換え回路401は、電源・クロック切り換え信号113
 cに応答して、電源配線116a、116bを介して供給される2
 つの電源電圧VH、VLの内、このユニット106が使用する電源
 電圧を選択する。電源切り換え回路401は、たとえば図9に示す
 10 ように、2つの電源VH、VLを切り換えるためのMOSスイッチ
 1000、1001と、これらを駆動するバッファ回路1002、
 1003から成り、3ビットの電源・クロック切り換え信号113
 cの内のpビットが0または1のときにそれぞれ電源電圧VL、V
 Hを選択する。選ばれた電源電圧は電源配線404によりFPU1
 15 06内の浮動小数点演算回路400に電源を供給する。

電源切り換え回路401とクロック切り換え回路402は、いず
 れもFPU106内に設けられ、その内部の浮動小数点演算回路4
 00に電源電圧とクロックを供給するが、これらの回路は、実質的
 にFPU106に電源電圧とクロックを供給すると考えることが出
 20 来る。また、これらの回路401、402はFPU106の外に設
 けられていても良い。したがって、本明細書では、これらの回路が、
 FPU106に電源電圧とクロックを供給する回路である呼ぶこと
 がある。このことは他の機能ユニットについても同じである。

図3に示したように、CPU105には、命令処理回路500の
 25 他に、電源切り換え回路501とクロック切り換え回路502が設
 けられている。これらの回路501、502は、図9、8に示した

電源切り換え回路 401 とクロック切り換え回路 402 と同じ回路であり、電源・クロック切り換え信号 113b に応答する。記憶制御ユニット 104 にも、FPU 106 内のクロック切り換え回路 402 と電源切り換え回路 401 と同じ構造を有し、電源・クロック切り換え信号 113d に応答する回路（図示せず）が設けられる。5 周辺入出力ユニット 107 にも FPU 106 内のクロック切り換え回路 402 と電源切り換え回路 401 と同じ構造を有し、電源・クロック切り換え信号 113a に応答する回路（図示せず）が設けられる。

- 10 マイクロプロセッサ 1200 への給電は、たとえば図 10 に示すように、外部より 2 つの電源電圧 V_H 、 V_L を電源配線 116a、116b を介して直接各機能ユニット 101、104～107 に供給すればよい。また、図 11 に示すように、マイクロプロセッサ 1201 に、外部より一つの電源電圧たとえば V_H を供給し、変圧回路 1202 により他の電源電圧 V_L を発生させてもよい。15

本実施の形態によれば、プログラムにより特定の機能ユニットたとえば浮動小数点演算ユニットに高速性能が要求されたときに、その機能ユニットに供給するクロックの周波数を高め、それにより、その機能ユニットをより高性能に動作させる。一方、この高性能動作によって生じる消費電力の増加を他の機能ユニットに供給するクロックの周波数を低減することにより償い、マイクロプロセッサ全体の消費電力は、予め設定した消費電力を越えないようにしている。20

< 発明の実施の形態 2 >

- 本実施の形態では消費電力制御回路 102 内の電力制御マップメモリ 600 が RAM により構成され、これにより電力制御マップメモリ 600 内の制御情報がソフトウェアにより更新でき、多様な制25

御を可能となる。

図 1 2 に示すように、R A M により構成された電力制御マップメモリ 6 0 0 の手前にマルチプレクサ 1 3 0 0 が配置される。C P U 1 0 5 が実行するプログラム内に、電力制御マップメモリ 6 0 0 を
5 書き換える命令を設け、C P U 1 0 5 内に、この命令を解読し、ソース選択信号 1 3 0 2 を生成し、この命令が指定するマップアドレス 1 3 0 1 とマップ更新データ 1 3 0 3 を出力する回路を設ける。

マルチプレクサ 1 3 0 0 は、ソース選択信号 1 3 0 2 が供給されないときには、実施の形態 1 と同じように、動作環境制御信号 E N
10 V (1 1 2) を選択して電力制御マップメモリ 6 0 0 から一組の電源・クロック切り換え信号 1 1 3 a ~ 1 1 3 d を読み出す。ソース選択信号 1 3 0 2 が供給されたときには、マルチプレクサ 1 3 0 0 は、マップアドレス 1 3 0 1 を選択し、電力制御マップメモリ 6 0 0 に書き込みアドレスとして供給し、マップ更新データ 1 3 0 3 の
15 書き込みを指示する。こうして、電力制御マップメモリ 6 0 0 プログラムにより所望の内容に書き換えることができる。

< 発明の実施の形態 3 >

以上の実施の形態で示したマイクロプロセッサは、汎用のマイクロプロセッサであったが、とくにマルチメディア向けのマイクロプロ
20 セッサでは、F P U に代えて、グラフィックスや画像処理のような特殊な処理を実行する一つまたは複数の機能ユニットが使用される。これらの機能ユニットを高速に動作させるために、以上に説明した技術が適用できる。これらの特殊な処理は一般に処理時間が長い。したがって、それぞれの処理を実行する間、それぞれの処理を
25 実行する機能ユニットを高速に動作させることがマイクロプロセッサの処理速度の向上に有効である。それでいて、マイクロプロセッ

サ全体の消費電力を限界消費電力以下に抑えることが出来る。

<変形例>

以上のいくつかの実施の形態の変形例がいくつかすでに以上の説明の中に記載された。また、以下にはいくつかの他の変形例を記載
5 する。本発明は、以上の実施の形態に限られるのではなく、これらの変形例および他の変形例を含むいろいろの変形例によっても実現可能であることはいうまでもない。

(1) 実施の形態1では周辺入出力ユニット107は定常動作か省電力動作しかなかった。しかし、このユニットに高速動作をさせる
10 ることもできる。たとえば、この周辺入出力ユニット107としてモデム用の周辺入出力ユニットを使用するときには、この機能ユニットを高速動作させることが望ましいことがある。

(2) 実施の形態1では、クロック生成回路103が全機能ユニットに共通に設けられ、全機能ユニットに複数のクロックを複数の共
15 通のクロック線を介して同時に供給している。各機能ユニット内にクロック切り換え回路が設けられた。しかし、これに代えて電源・クロック制御ユニット内に各機能ユニット用のクロック切り換え回路を設け、ここで各機能ユニットに供給すべきクロックを選択させ、
20 選択されたクロックを、その機能ユニット用に設けられたクロック線を介して供給することもできる。あるいは複数の機能ユニットに設けた共通のクロック切り換え回路により、それぞれの機能ユニット用のクロックを別々に出力させることもできる。このような構造の回路も、本発明では、各機能ユニット毎に、クロックを切り換える回路と考える。

25 実施の形態1では、全機能ユニットに全クロックを供給する信号線を使用した。本変形例では、各機能ユニットに対応して一つの

クロック信号線のみを使用すればよい。したがって、クロック信号線が占めるチップ面積は少なくできる可能性がある。

同様に、実施の形態 1 では、全機能ユニットに複数の電源電圧が複数の共通の電源配線を介して同時に供給し、各機能ユニットに電源切り換え回路を設けている。これに代えて、上記クロック切り換え回路の変形例と同様に電源電圧の切り換え回路を構成できる。本発明では、このような構造の電源切り換え回路も、各機能ユニット毎に電源電圧を切り換える回路と考える。

電源切り換え回路は、大電流の切替を必要とするので、他の回路に供給する電源電圧が変動する恐れがある。したがって、この回路を、各機能ユニットの外部、とくにチップ周辺部に設ける方が望ましいことがある。同様に、クロック切り替え回路も各機能ユニットの外部とくにチップ周辺部に設けることが望ましい場合もある。

(3) 実施の形態 1 では、定常動作時には全機能ユニットが同じクロックと同じ電源電圧でもって動作した。しかし、本発明は、この場合に限らず、定常動作の時に、いずれかの機能ユニットに供給されるクロックあるいはクロックと電源電圧が他の機能ユニットに供給されるクロックあるいはクロックと電源電圧とは異なってもよい。

すなわち、定常動作の時に、いずれかの機能ユニットに供給されるクロックが他の機能ユニットに供給されるクロックより低速のクロックであってもよい。たとえば、定常動作時には F P U 1 0 6 あるいは周辺入出カユニット 1 0 7 のみ低速クロック C L K - c を供給し、省電力動作を実行させ、他の機能ユニットには中間即のクロック C L K - b と低い電源電圧 V L を供給しても良い。このときに、F P U 1 0 6 を中間速クロック C L K - b または最高速クロック C

L K - a で動作させるときに、他の機能ユニットたとえば C P U 1 0 5 に供給するクロックをより低速のクロック C L K - c に変更すればよい。

また、定常動作の時に、いずれかの機能ユニットに供給されるクロックが他の機能ユニットに供給されるクロックより高速のクロックが供給されてもよい。たとえば、定常動作時には C P U 1 0 5 のみに最高速クロック C L K - a と最高電源電圧 V H を供給し、高速動作を実行させ、他の機能ユニットには、中間即のクロック C L K - b と低い電源電圧 V L を供給しても良い。このときに、 F P U 1 0 6 を最高速クロック C L K - a と最高電源電圧 V H で動作させるときには、たとえば C P U 1 0 5 に供給するクロックをより低速のクロック C L K - b またはクロック C L K - c に変更すればよい。

(4) 本発明は実施の形態 1 で使用した 3 つクロックより多いクロックを使用する場合にも適用できるのは言うまでもない。さらに、本発明は実施の形態 1 で使用した 2 つ電源電圧より多い電源電圧を使用する場合にも適用できるのは言うまでもない。しかし、この場合でも、いずれかの機能ユニットに最高速クロック使用するときには、最大電源電圧を使用し、最大の電源電圧より小さい電源電圧を使用するときには、最高速クロックより低速のクロック使用する。

(5) 実施の形態 1 では、いずれかの機能ユニットを定常動作状態から最高速動作状態に変更する場合に、本発明に従って、他の機能ユニットの動作速度を低減した。しかし、より多数のクロックと電源電圧が使用される場合において、いずれかの機能ユニットのクロックを最高速でないクロックからそれより高速であるが最高速でないクロックに変更する場合において、最高速のクロックより低速のクロックが供給されている他の機能ユニットのクロックを、より低

速のクロックに変更し、それによりマイクロプロセッサ全体の消費電力が限界消費電力を超えないようにすることもできる。

(6) 以上の実施の形態では、省電力動作では、各機能ユニットには定常動作時と同じ電源電圧を与え、クロックのみをより低速のクロックに変更した。しかし、この場合、電源電圧として、省電力用の電源電圧を用意し、これを省電力動作をさせる機能ユニットに供給することもできる。この方法を採用すれば、省電力動作する各機能ユニットの消費電力はさらに低減される。

(7) 本発明は実施の形態1で用いた4つの動作モードと異なる複数の動作モードを使用する場合にもあるいはこれらの4つの動作モードに他の動作モードを追加する場合にも適用できるのは言うまでもない。

(8) 実施の形態1では各機能ユニットが一つの回路ブロックにより実現されているマイクロプロセッサの例であるが、本発明は、より一般には複数の回路ブロックに区分されているマイクロプロセッサに適用できる。また、一つの回路ブロックの全体が同じクロックと同じ電源電圧で駆動される必要はなく、その一部が他と異なるクロックと電源電圧で駆動されてもよい。

(9) 実施の形態1では、いずれかの機能ユニットに供給するクロックを中間速クロックCLK-bから低速クロックCLK-cに変更するときは、電源電圧は低い電源電圧VLのままとした。しかし、これに代えて、低速クロック用のさらに低い電源電圧を用意し、低速クロックCLK-cを使用するときに、電源電圧をこのさらに低い電源電圧に変更することもできる。この方法では、低速クロックCLK-cを供給された回路ブロックの消費電力はさらに低減できる利点がある。但し、実施の形態1よりも必要な電源配線の数が増

大する。また、各回路ブロックへ供給する電源電圧の切り替え回数が増大する。

(10) 本発明はCMOSからなるマイクロプロセッサに限定されるのではなく、他の種類の回路たとえばBiCMOS回路からなる
5 マイクロプロセッサにも適用できるのは言うまでもない。

(11) 実施の形態1では、定常動作状態では、全機能ユニットに低い電源電圧VLと中間速クロックCLK-bを供給し、いずれかの機能ユニットを最高速で動作させたいときに、その機能ユニットに最高速クロックCLK-aと最大電源電圧VHとを供給した。し
10 かし、低い電源電圧は使用しないで、定常動作状態では、全機能ユニットに高い電源電圧VHと、中間速クロックCLK-bを供給する方法も考えられる。

(12) 実施の形態1では、図示しないRAM、ROMという特定の回路ブロックに供給するクロックと電源電圧は常に一定の周波数
15 と電圧を有していた。本発明は、このように一部の回路ブロックに供給されるクロックの周波数が変化されない場合でも、他の複数の回路ブロックに供給されるクロックの周波数がそれぞれの回路ブロックごとに変更される場合にも適用できる。もちろん全ての回路ブロックについて、それぞれに供給するクロックの周波数が変更され
20 る場合にも本発明は適用できる。同様に、いずれかの回路ブロックに供給されるクロックの周波数が、他のいずれかの回路ブロックに供給されるクロックの周波数とは同一であるという条件を満たしながら変更される場合にも本発明は適用できる。本発明では、マイクロプロセッサ内の全ての回路ブロックの内の少なくとも複数の回路
25 ブロックに供給するクロックをそれぞれの回路ブロックごとに変更するクロック供給回路を使用すればよい。言い換えると、このよう

- に一部の回路ブロックに供給するクロックの周波数をそれぞれの回路ブロックごとに変更するクロック供給回路を使用する限り、そのクロック供給回路は、マイクロプロセッサ内の複数の回路ブロック毎に、異なる周波数のクロックを切り替えて供給する回路と考えることができる。以上のことは電源電圧供給回路についても同じであり、一部の回路ブロックに供給する電源電圧の値をそれぞれの回路ブロックごとに変更する電源電圧供給回路を使用する限り、その電源電圧供給回路は、マイクロプロセッサ内の複数の回路ブロック毎に、異なる値の電源電圧を切り替えて供給する回路と考えることができる。
- 5
- 10

以上に詳述したごとく、本発明によれば、特定の回路ブロックを高速で動作でき、それでいてマイクロプロセッサ全体の消費電力が一定の限界消費電力を超えないマイクロプロセッサが得られる。

請 求 の 範 囲

1. 複数の回路ブロックと、

各回路ブロックに値が異なる複数の電源電圧を切り換えて供給するための電源供給回路と、

5 各回路ブロックに周波数が異なる複数のクロックを切り換えて供給するためのクロック供給回路と、

上記電源供給回路と上記クロック供給回路に、各回路ブロックに供給するクロックの切り換えとその回路ブロックに供給する電源電圧の切り替えを指示する制御回路とを有し、

10 上記複数のクロックの内の最大周波数を有する最高速クロックは、上記複数の電源電圧の内の最大電源電圧が供給された回路ブロックで使用可能であり、

上記最高速クロックより低速のいずれかのクロックは、上記最大電源電圧より低いいずれかの電源電圧が供給された回路ブロックで

15 も使用可能であり、

上記制御回路は、いずれかの回路ブロックに上記最高速クロックと上記最大電源電圧を供給したときには、少なくとも一つの他の回路ブロックには、上記最高速クロックより低速のいずれかのクロックと上記最大電源電圧より低い電源電圧を供給するマイクロプロセ

20 ッサ。

2. 上記制御回路は、上記複数の回路ブロックの内、少なくとも一つの回路ブロックに供給するクロックを、その回路ブロックにそれまで供給していたクロックより高速のクロックへの切り替えるのを上記クロック供給回路に指示するときには、他の少なくとも一つ

25 の回路ブロックに供給するクロックを、その回路ブロックにそれまで供給していたクロックよりも低速のクロックへ切り替えるように、

上記クロック供給回路に指示する請求の範囲 1 記載のマイクロプロセッサ。

3. 上記制御回路は、上記他の一つの回路ブロックに供給するクロックを上記より低速のクロックに切り替えるときには、その切り替え前に上記他の一つの回路ブロックに供給していた電源電圧を、
5 上記クロックの切り替え後も引き続き上記他の一つの回路ブロックに供給させるように上記電源供給回路を制御する請求の範囲第 2 項記載のマイクロプロセッサ。

4. 上記制御回路は、上記他の一つの回路ブロックに供給するクロックを上記より低速のクロックに切り替えるときには、上記他の一つの回路ブロックに供給する電源電圧を、その切り替え前に上記他の一つの回路ブロックに供給していた電源電圧より低い電源電圧に切り替えることを上記電源供給回路に指示する請求の範囲第 2 項
10 記載のマイクロプロセッサ。

5. 上記制御回路は、上記他の少なくとも一つの回路ブロックに供給するクロックを上記より低速のクロックへ切り替えるとの上記指示を、上記一つの回路ブロックに供給すべき上記より高速なクロックが、定常動作状態でその回路ブロックに供給されるクロックより高速のクロックであるときに実行し、
15

上記他の少なくとも一つの回路ブロックに供給すべき上記より低速のクロックは、定常動作状態で上記他の一つの回路ブロックに供給されるクロックより低速なクロックである請求の範囲第 2 項記載のマイクロプロセッサ。
20

6. 上記制御回路は、定常動作状態では、上記複数の回路ブロックに、上記最高速クロックより低速のクロックと上記最大電源電圧より低い電源電圧を供給するように上記クロック供給回路と上記電
25

源供給回路を制御し、

上記複数の回路ブロックの一つが上記より高速なクロックが供給される上記一つの回路ブロックとして使用可能であり、

上記複数の回路ブロックの一つが、上記より低速なクロックが供給される上記他の一つの回路ブロックとして使用可能である請求の範囲第5項記載のマイクロプロセッサ。

7. 上記制御回路は、定常動作状態では、上記複数の回路ブロックの内の少なくとも一つに、上記最高速のクロックと上記最大電源電圧を供給し、上記複数の回路ブロックの内の少なくとも一つには上記最高速クロックより低速のクロックと上記最大電源電圧より低い電源電圧を供給するように上記クロック供給回路と上記電源供給回路を制御し、

定常動作状態で上記最高速クロックより低速のクロックが供給される上記少なくとも一つの他の回路ブロックが、上記より高速なクロックが供給される上記一つの回路ブロックとして使用可能であり、

定常動作時に上記最高速のクロックが供給される上記少なくとも一つの他の回路ブロックが、上記より低速なクロックが供給される上記他の一つの回路ブロックとして使用可能である請求の範囲第5項記載のマイクロプロセッサ。

8. 上記制御回路は、上記他の一つの回路ブロックに供給するクロックを上記より低速のクロックに切り替えるときには、定常動作時に上記他の一つの回路ブロックに供給していた電源電圧を、上記クロックの切り替え後も引き続き上記他の一つの回路ブロックに供給させるように上記電源供給回路を制御する請求の範囲第5項記載のマイクロプロセッサ。

9. 上記制御回路は、上記他の一つの回路ブロックに供給するク

ロックを上記より低速のクロックに切り替えるときには、上記他の一つの回路ブロックに供給する電源電圧を、定常動作時に上記他の一つの回路ブロックに供給していた電源電圧より低い電源電圧に切り替えることを上記電源供給回路に指示する請求の範囲第 5 項記載のマイクロプロセッサ。

10 10. 上記制御回路は、上記より低速のクロックへの切り替えの指示を、上記一つの回路ブロックに供給すべき上記より高速なクロックが上記最高速クロックであるときに実行する請求の範囲第 2 項記載のマイクロプロセッサ。

15 11. 上記制御回路は、上記他の一つの回路ブロックに供給するクロックを上記より低速のクロックに切り替えるときには、その切り替え前に上記他の一つの回路ブロックに供給していた電源電圧を、上記クロックの切り替え後も引き続き上記他の一つの回路ブロックに供給させるように上記電源供給回路を制御する請求の範囲第 10 項記載のマイクロプロセッサ。

20 12. 上記制御回路は、上記他の一つの回路ブロックに供給するクロックを上記より低速のクロックに切り替えるときには、上記他の一つの回路ブロックに供給する電源電圧を、その切り替え前に上記他の一つの回路ブロックに供給していた電源電圧より低い電源電圧に切り替えることを上記電源供給回路に指示する請求の範囲第 10 項記載のマイクロプロセッサ。

25 13. 上記制御回路は、上記マイクロプロセッサで実行中のプログラム内に設けられた、クロックと電源電圧を切り替えるための特定の命令に応答して、その命令が指定するクロックと電源電圧を切り替えるための情報に基づいて、上記複数の回路ブロックの内、そこに供給すべきクロックと電源電圧の少なくとも一方を切り替える

べき少なくとも一つの回路ブロックと、クロックと電源電圧の少なくとも一方の切り替え後の値を指示する変更信号を生成し、その変更信号を上記クロック供給回路と上記電源供給回路に供給する回路を有する請求の範囲第2項記載のマイクロプロセッサ。

- 5 14. 上記変更信号は、それぞれ上記複数の回路ブロックの一つに供給すべきクロックと電源電圧を指示する一組の変更信号からなる請求の範囲第13項記載のマイクロプロセッサ。

- 15 15. 上記制御回路は、複数組の変更信号を記憶するメモリと、
上記特定の命令が指定する上記切り替えのための情報に基づいて
10 上記メモリから一組の変更信号を読み出し、上記電源供給回路と上記クロック供給回路に供給する回路とを有し、

各組の変更信号は、それぞれ上記複数の回路ブロックの一つに供給すべきクロックと電源電圧を指示する一組の変更信号からなる請求の範囲第14項記載のマイクロプロセッサ。

- 15 16. 上記メモリは電氣的に書き換え可能なメモリからなり、
上記制御回路は、特定の書き換え命令に応答して、上記メモリに記憶された上記複数組の更新信号を書き換える回路を有する請求の範囲第15項記載のマイクロプロセッサ。

- 20 17. 上記クロック供給回路は、
上記複数の回路ブロックに共通に設けられ、上記複数のクロックを発生するクロック発生回路と、

- それぞれ一つの回路ブロックに対応して設けられ、それぞれ上記クロック発生回路により発生された上記複数のクロックの一つを選択し、対応する回路ブロックに供給するための複数のクロック切り
25 換え回路を有する請求の範囲第2項記載のマイクロプロセッサ。

18. 上記クロック発生回路により発生された上記複数のクロッ

クを上記複数の回路ブロックに転送するための複数のクロック信号線をさらに有し、

上記複数のクロック切り換え回路の各々は、対応する回路ブロック内に設けられ、上記複数のクロック信号線上の上記複数のクロックの一つを選択する回路からなる請求の範囲第 17 項記載のマイクロプロセッサ。

19. 上記複数のクロック切り換え回路は、
上記複数の回路ブロックの外部に位置し、上記マイクロプロセッサの周辺部に近い位置に設けられている請求の範囲第 17 項記載のマイクロプロセッサ。

20. 上記電源供給回路は、

上記複数の回路ブロックに共通に設けられ、それぞれ上記複数の電源電圧を供給するための複数の電源配線と、

それぞれ一つの回路ブロックに対応して設けられ、それぞれ上記複数の電源配線上の複数の電源電圧の一つを選択し、上記対応する回路ブロックに供給するための複数の電源切り替え回路とを有する請求の範囲第 2 項記載のマイクロプロセッサ。

21. 上記複数の電源配線は、上記複数の回路ブロックの近傍まで延在し、

20 上記複数の電源切り替え回路は、それぞれ対応する回路ブロック内に設けられている請求の範囲第 20 項記載のマイクロプロセッサ。

22. 上記複数の電源切り替え回路は、上記複数の回路ブロックの外部に位置し、上記マイクロプロセッサの周辺部に近い位置に設けられている請求の範囲第 20 項記載のマイクロプロセッサ。

25 23. 上記複数の電源電圧を、上記マイクロプロセッサの外部から上記複数の電源配線に供給する手段をさらに有する請求の範囲第

20 項記載のマイクロプロセッサ。

24. 電圧変換回路と、

上記複数の電源電圧の一つを上記マイクロプロセッサの外部から
上記電圧変換回路および上記複数の電源配線の一方に供給する手段

5 をさらに有し、

上記電圧変換回路は、上記一つの電源電圧から上記複数の電源電
圧の内の他方の電源電圧を発生し、上記複数の電源配線の内の他方
に供給する請求の範囲第20項記載のマイクロプロセッサ。

25. 複数の回路ブロックと、

10 各回路ブロックに値が異なる複数の電源電圧を切り換えて供給す
るための電源供給回路と、

各回路ブロックに周波数が異なる複数のクロックを切り換えて供
給するためのクロック供給回路と、

各回路ブロックに供給するクロックの切り換えとその回路ブロッ
15 クに供給する電源電圧の切り替えを一定の条件下で上記電源供給回
路と上記クロック供給回路に指示する制御回路とを有し、

上記制御回路は、定常動作時には、上記複数の回路ブロックの内
の所定の複数の回路ブロックに、上記複数のクロックの内の最大周
波数を有する最高速クロックより低速のクロックと上記最大電源電
20 圧より低い電源電圧を供給し、その後上記所定の複数の回路ブロッ
クの内、最高速で動作させるべき少なくとも一つの回路ブロックに
上記最高速クロックと上記最大電源電圧を供給するように上記電源
供給回路と上記クロック供給回路を制御するマイクロプロセッサ。

26. 複数の回路ブロックと、

25 各回路ブロックに値が異なる複数の電源電圧を切り換えて供給す
るための電源供給回路と、

各回路ブロックに周波数が異なる複数のクロックを切り換えて供給するためのクロック供給回路と、

上記電源供給回路と上記クロック供給回路に、各回路ブロックに供給するクロックの切り換えとその回路ブロックに供給する電源電
5 圧の切り替えを一定の条件下で指示する制御回路とを有し、

上記制御回路は、

上記複数の回路ブロックの内の第1の回路ブロックに供給するクロックと電源電圧より高速のクロックおよび高い電源電圧を、上記複数の回路ブロックの内の第2の回路ブロックに供給する第1のモ
10 ードと、上記第1の回路ブロックに供給するクロックと電源電圧と同じクロックおよび電源電圧を上記第2の回路ブロックに供給する第2のモードと、上記第1の回路ブロックに供給するクロックと電源電圧より低速のクロックおよび低い電源電圧を上記第2の回路ブロックに供給する第3のモードを切り替えて上記クロック供給回
15 路と上記電源供給回路に指示可能であるマイクロプロセッサ。

27. 上記第1の回路ブロックは、中央処理ユニットを構成するための回路ブロックである請求の範囲第26項記載のマイクロプロセッサ。

28. 上記第2の回路ブロックは、浮動小数点演算ユニットを構成
20 するための回路ブロックである請求の範囲第27項記載のマイクロプロセッサ。

1/7

Fig.1

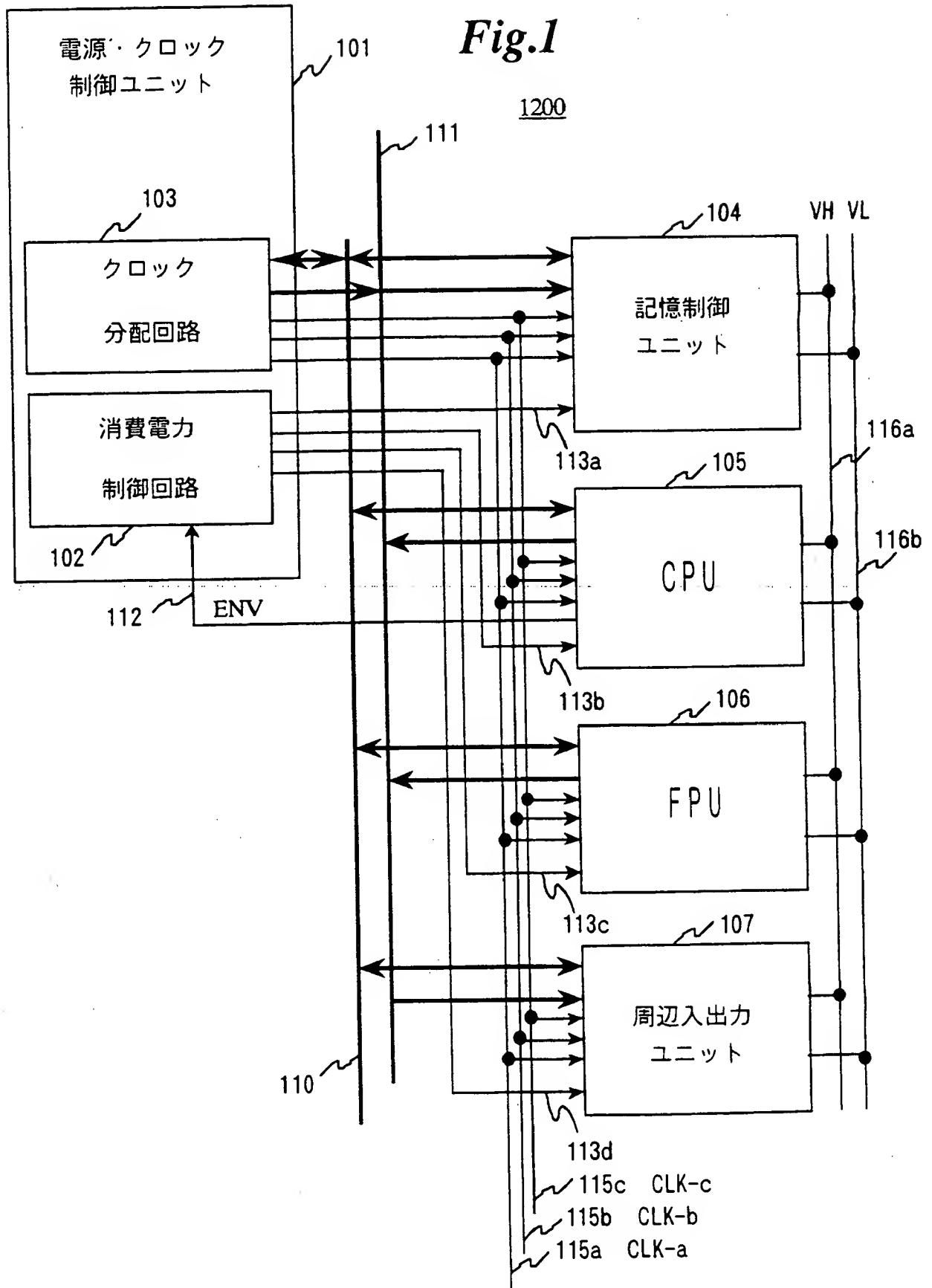


Fig.2

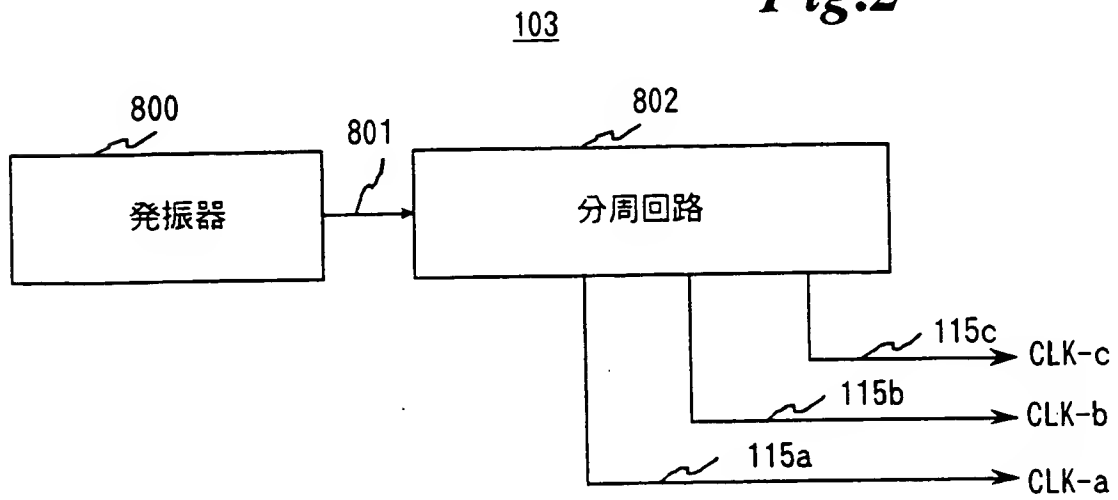
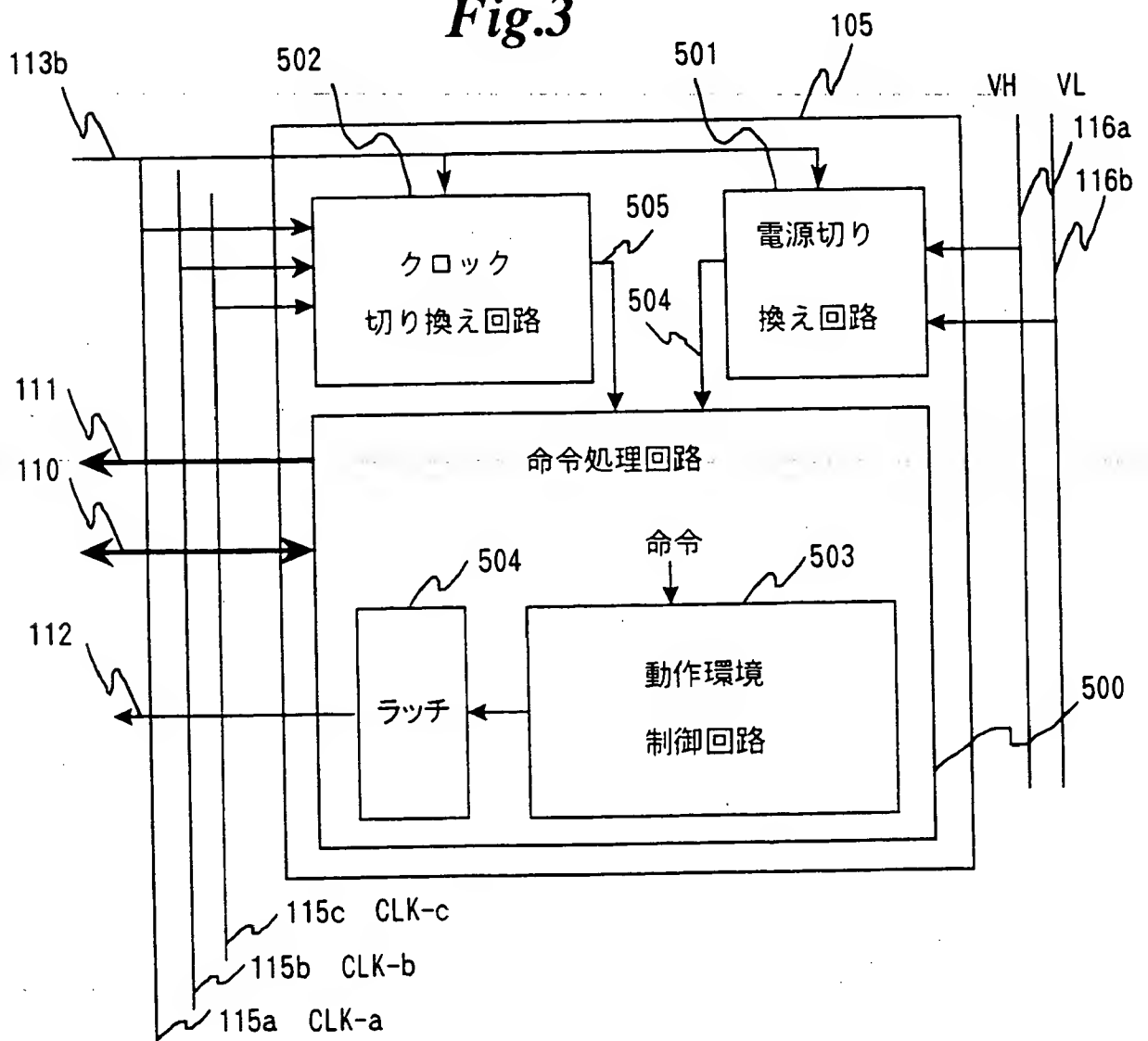
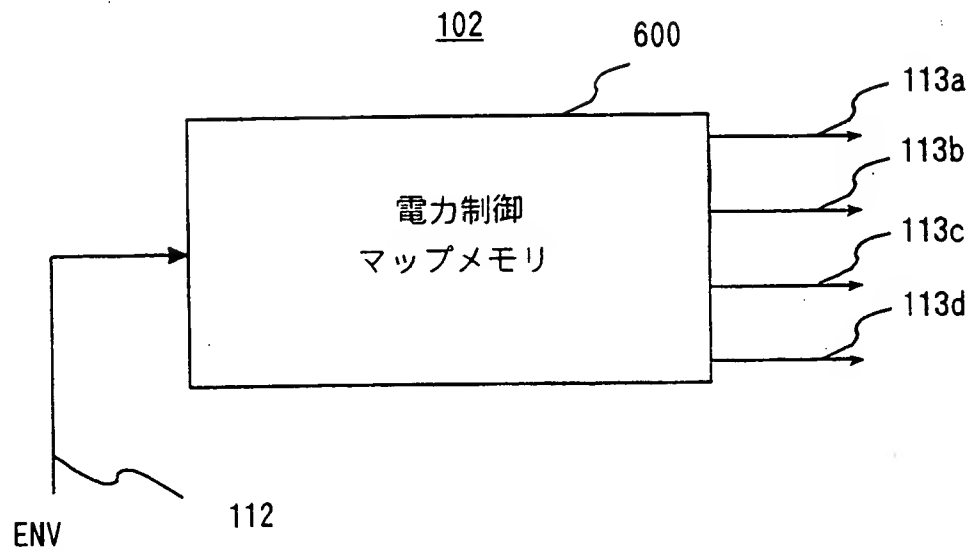


Fig.3



3/7

Fig.4**Fig.5**600

112		113a			113b			113c			113d		
d1	d0	p	c1	c0	p	c1	c0	p	c1	c0	p	c1	c0
0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	1	1	1	0	0	0	1	1	1	0	0	0	1
1	0	1	1	0	1	1	0	0	0	1	0	0	1
1	1	0	0	1	0	0	1	0	0	1	0	0	1

Fig.6

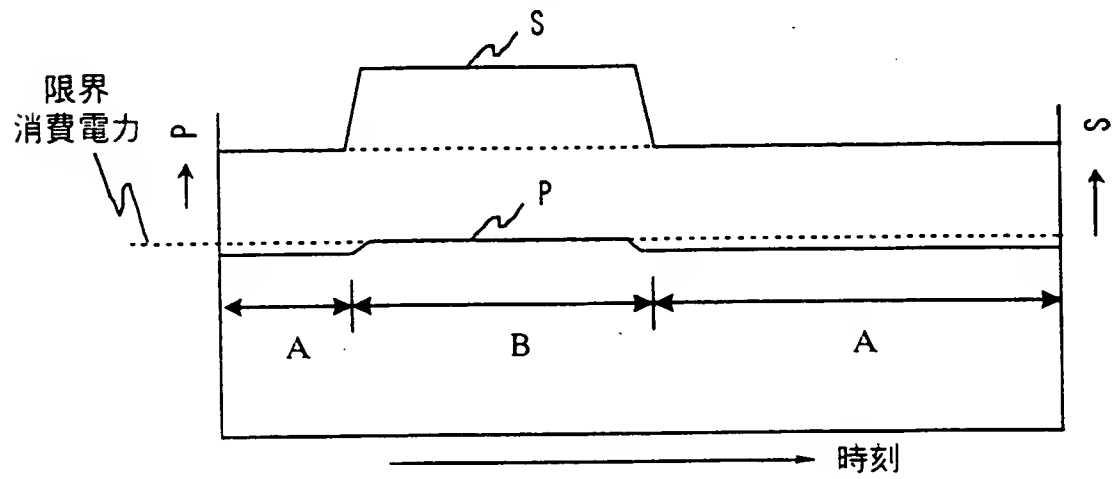
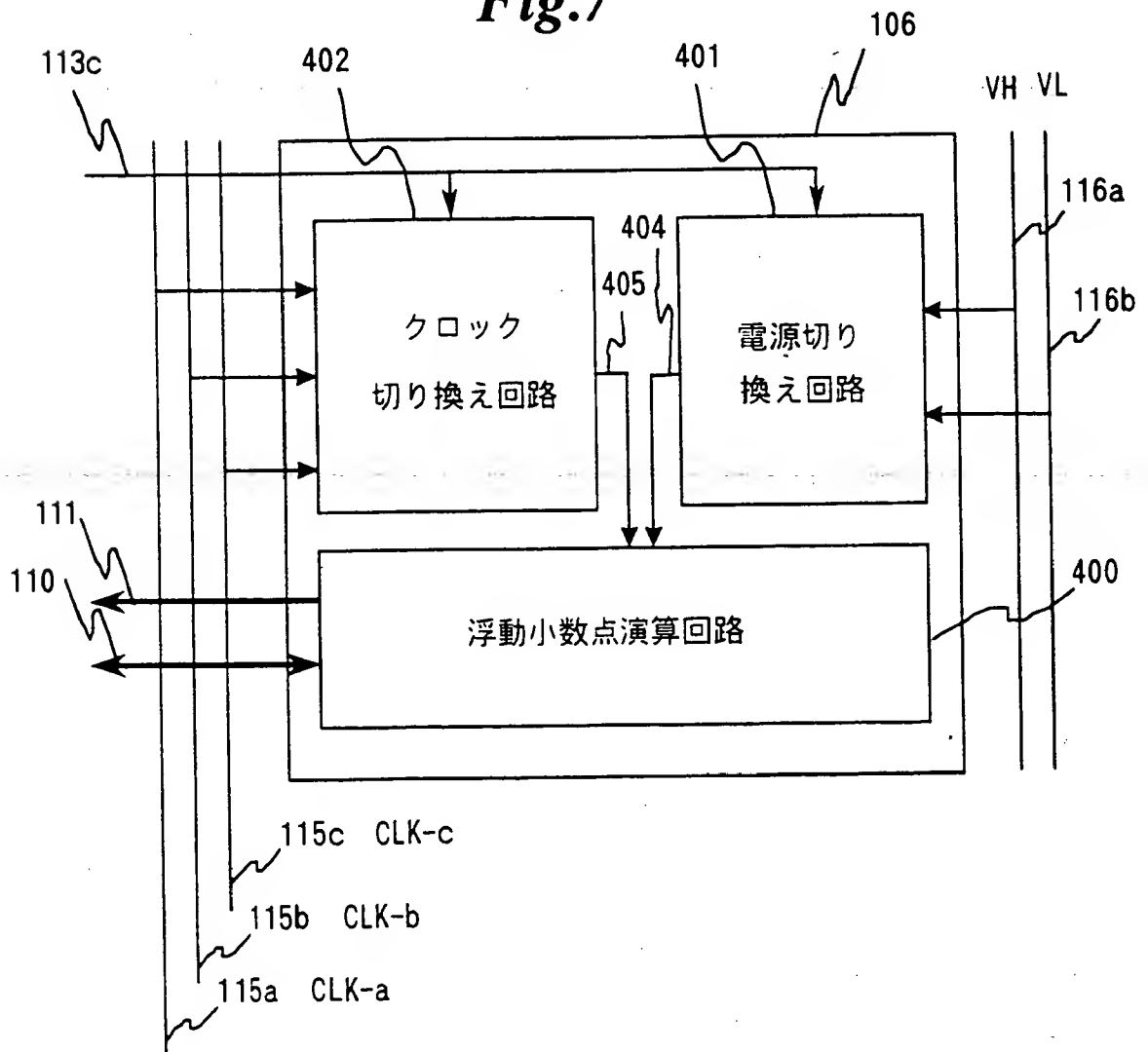


Fig.7



5/7

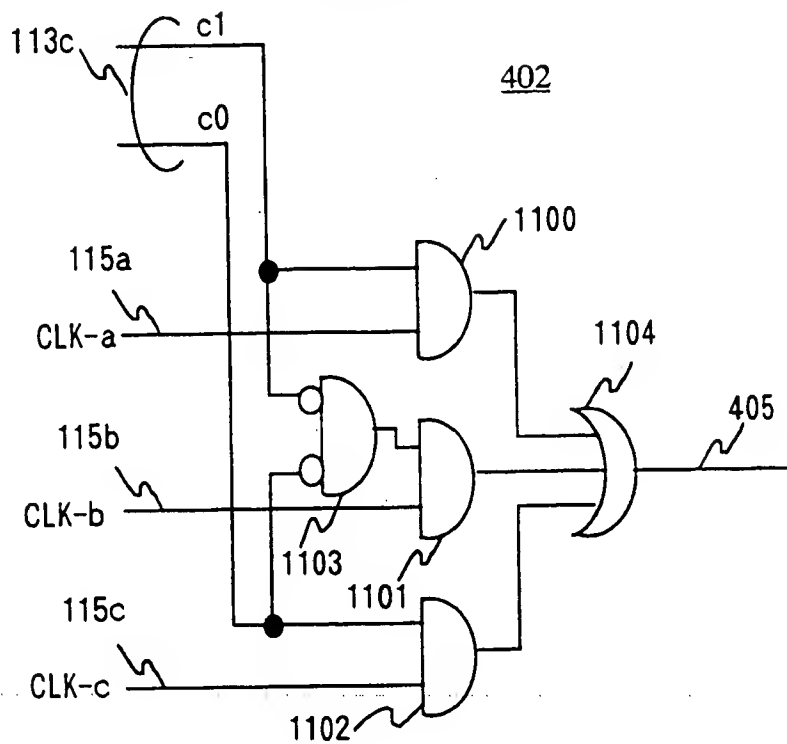
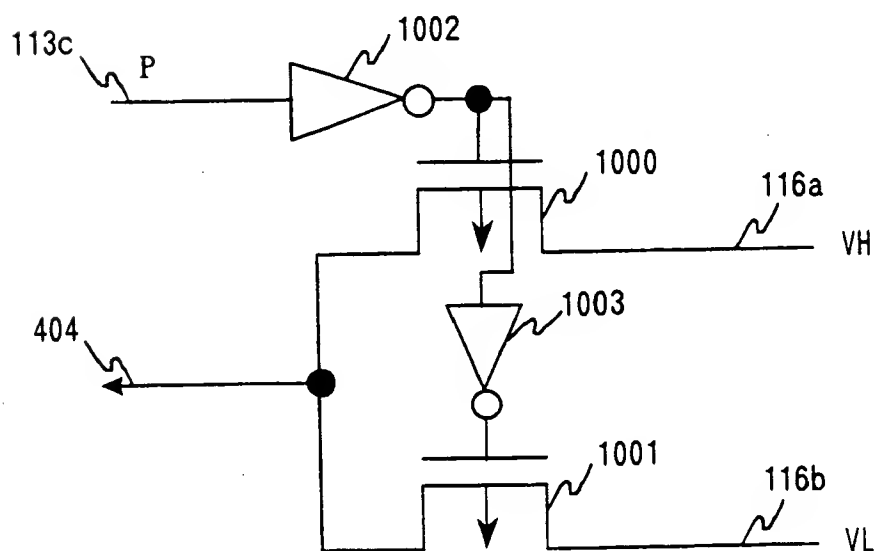
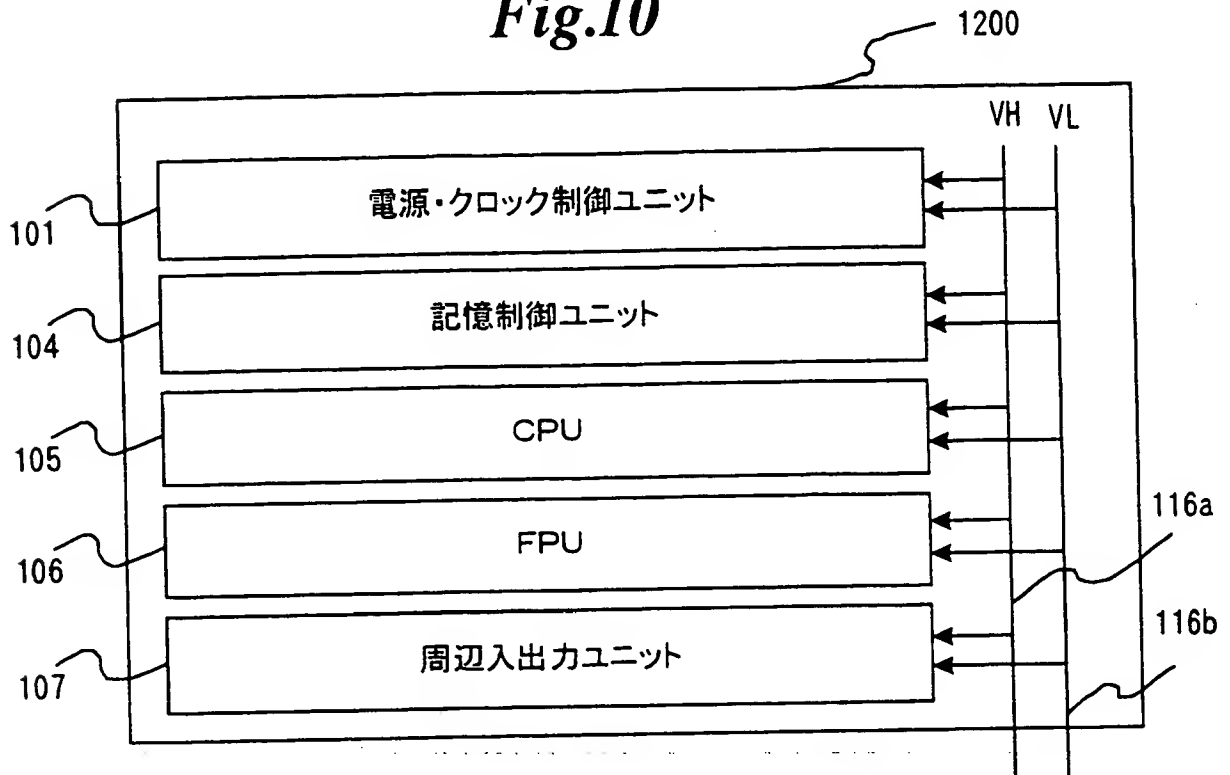
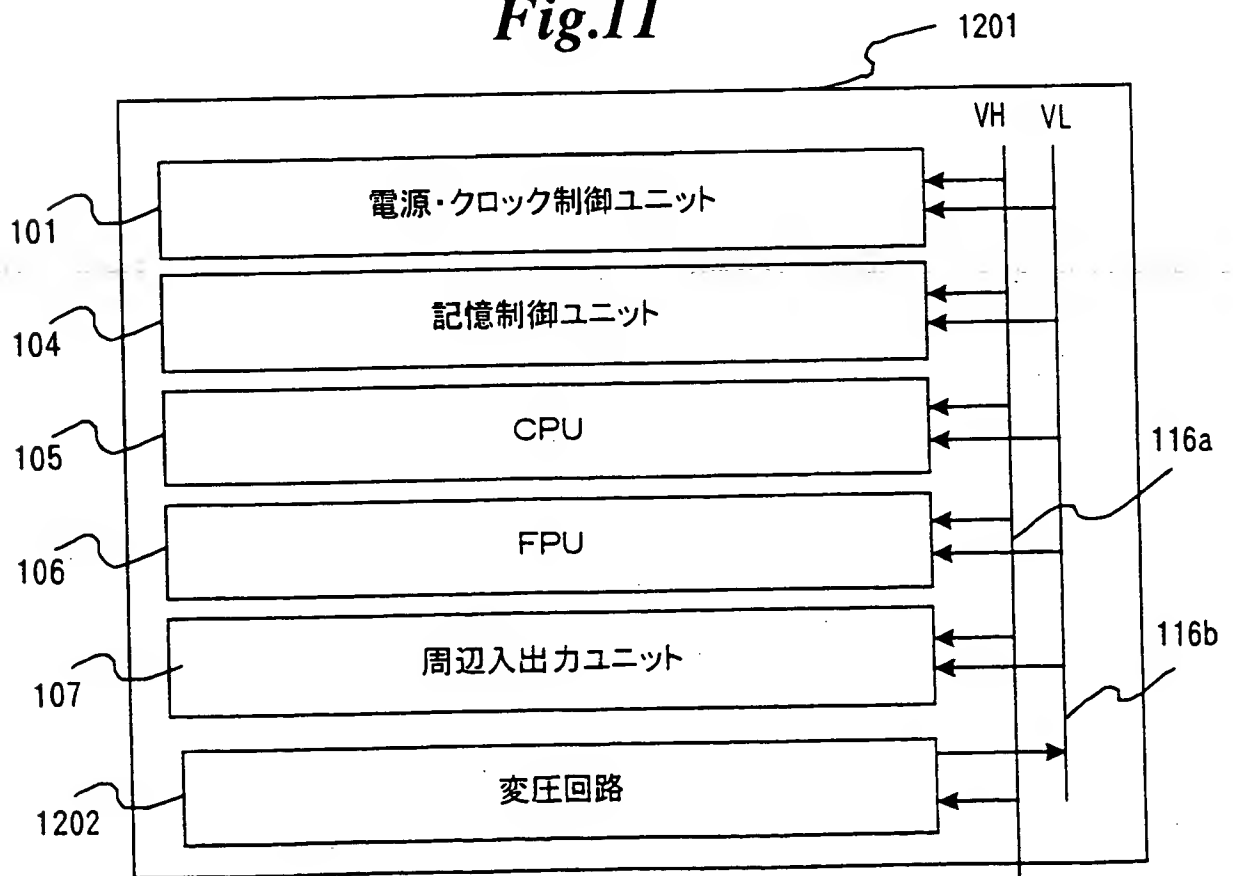
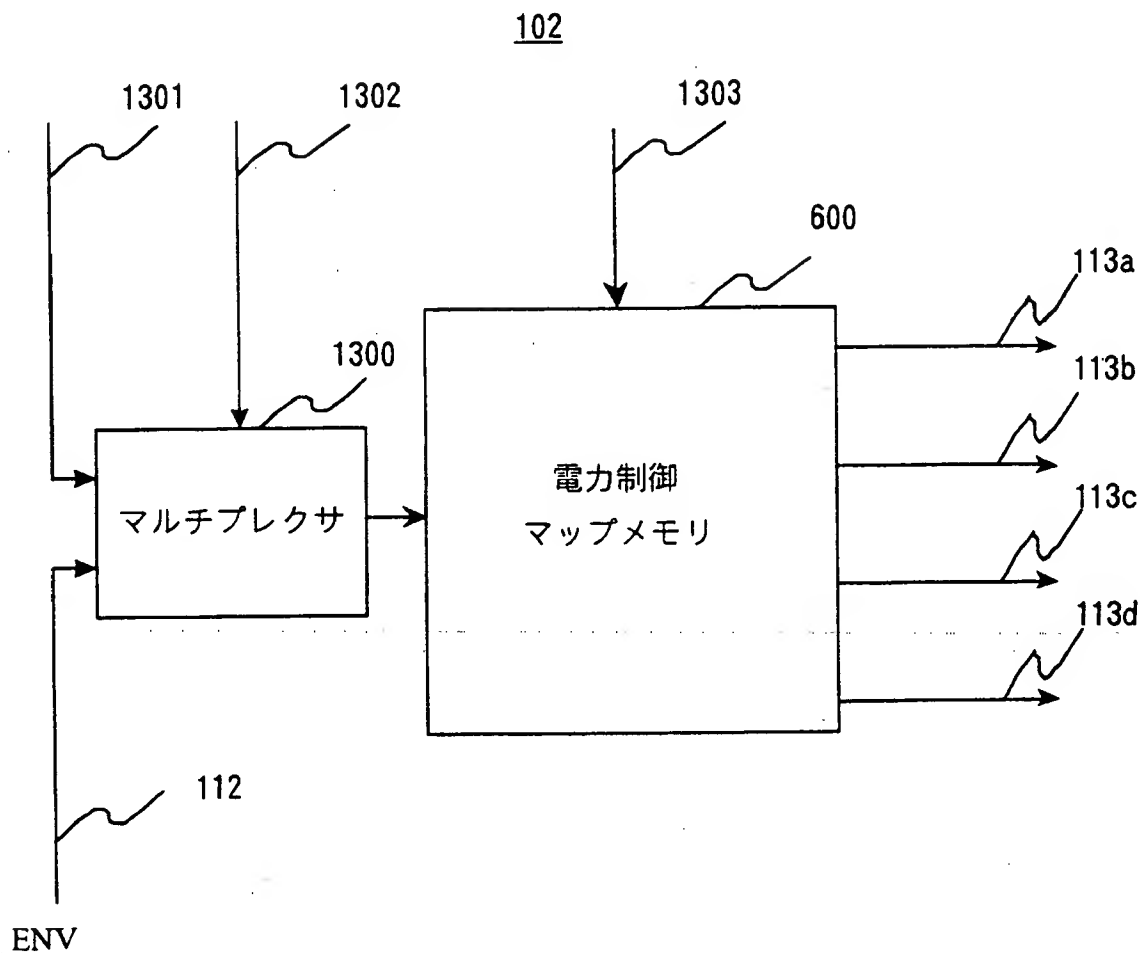
Fig.8**Fig.9**401

Fig.10**Fig.11**

7/7

Fig.12

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁶ G06F1/32, G06F1/08

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁶ G06F1/32, G06F1/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1998
Kokai Jitsuyo Shinan Koho 1971-1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 8-152945, A (NEC Corp.), 11 June, 1996 (11. 06. 96) (Family: none)	1-6, 8-13, 25, 26
E	JP, 10-198455, A (Mitsubishi Electric Corp.), 31 July, 1998 (31. 07. 98) (Family: none)	1-3, 5, 6, 8, 10, 11, 17, 19
A	JP, 7-295695, A (Advanced Micro Devices, Inc.), 10 November, 1995 (10. 11. 95) & EP, 676,686, A2 & US, 5,493,684, A	1-28
A	JP, 7-20968, A (Xerox Corp.), 24 January, 1995 (24. 01. 95) (Family: none)	1-28

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
24 September, 1998 (24. 09. 98)

Date of mailing of the international search report
6 October, 1998 (06. 10. 98)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁶ G06F 1/32
G06F 1/08

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁶ G06F 1/32
G06F 1/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1998
日本国公開実用新案公報 1971-1998

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 8-152945, A (日本電気株式会社), 11.6月.1996 (11.06.96), (ファミリーなし)	1-6, 8-13, 25, 26
E	JP, 10-198455, A (三菱電機株式会社), 31.7月.1998 (31.07.98), (ファミリーなし)	1-3, 5, 6, 8, 10, 11, 17, 19
A	JP, 7-295695, A (アドバンスト・マイクロ・ディバイス・インコーポレイテッド), 10.11月.1995 (10.11.95) & EP, 676, 686, A2 & US, 5, 493, 684, A	1-28
A	JP, 7-20968, A (ゼロックス コーポレーション), 24.	1-28

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 先行文献ではあるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

24.09.98

国際調査報告の発送日

06.10.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

嶋野邦彦

印

5E

8527

電話番号 03-3581-1101 内線 3522

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	1月. 1995 (24.01.95), (ファミリーなし)	